

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09064078 A**

(43) Date of publication of application: **07 . 03 . 97**

(51) Int. Cl

H01L 21/56

H01L 21/60

H01L 21/301

H01L 21/321

(21) Application number: **07219111**

(71) Applicant: **MATSUSHITA ELECTRIC WORKS LTD**

(22) Date of filing: **28 . 08 . 95**

(72) Inventor: **KUZUHARA KAZUNARI**

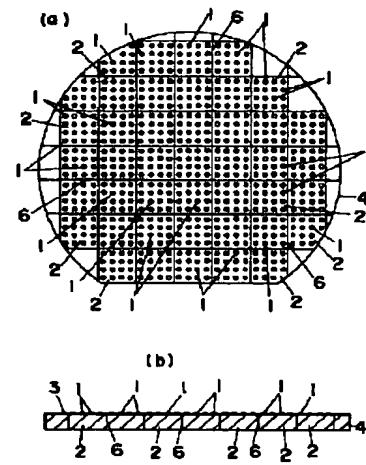
(54) SEMICONDUCTOR PACKAGE AND METHOD OF MANUFACTURING IT

(57) Abstract:

PROBLEM TO BE SOLVED: To enable manufacturing with high productivity by forming bumps in one step.

SOLUTION: Bumps 1 are formed on a semiconductor wafer 4, resin 3 is prepared with the thickness of 1/5 to 1/2 of the height of the bumps 1 on the bump forming surface of a semiconductor wafer 1 and after curing the resin 3, the semiconductor wafer 1 is diced to chips 2. The bumps 1 are not buried in the resin 3 and the manufacturing of the bumps 2 does not require two steps.

COPYRIGHT: (C)1997,JPO



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-64078

(43) 公開日 平成9年(1997)3月7日

(51) Int.Cl.⁵

H 01 L 21/56
21/60
21/301
21/321

識別記号

3 1 1

庁内整理番号

F I

H 01 L 21/56
21/60
21/78
21/92

技術表示箇所

R
3 1 1 S
L
6 0 2 L
6 0 3 G

審査請求 未請求 請求項の数2 O L (全4頁)

(21) 出願番号

特願平7-219111

(22) 出願日

平成7年(1995)8月28日

(71) 出願人 000005832

松下電工株式会社

大阪府門真市大字門真1048番地

(72) 発明者

葛原 一功

大阪府門真市大字門真1048番地松下電工株式会社内

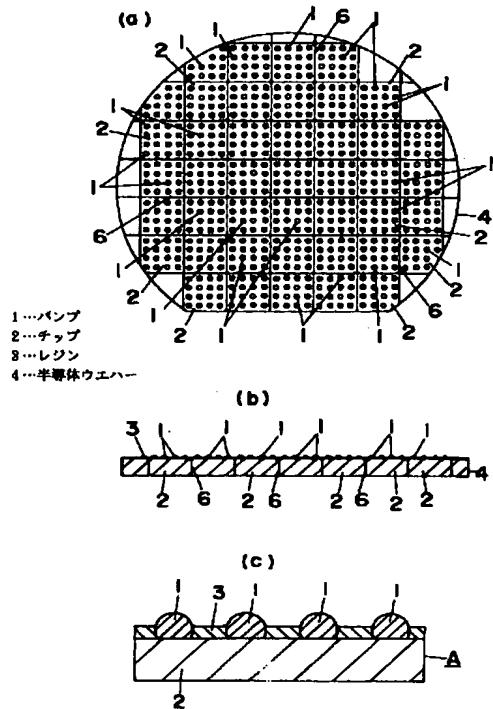
(74) 代理人 弁理士 石田 長七 (外2名)

(54) 【発明の名称】 半導体パッケージ及びその製造方法

(57) 【要約】

【課題】 パンプ形成が1工程で済み、生産性高く製造することができるようとする。

【解決手段】 半導体ウエハー4にパンプ1を形成し、半導体ウエハー1のパンプ形成面にパンプ1の高さの1/5~1/2の寸法の厚みでレジン3を設けると共にレジン3を硬化させた後、半導体ウエハー1をダイシングしてチップ2に分割する。パンプ1がレジン3で埋もれることがなく、パンプ1を2つの工程で作製するような必要がなくなる。



【特許請求の範囲】

【請求項1】 表面上にバンプが形成されたチップのバンプ形成面に、バンプの高さの $1/5 \sim 1/2$ の寸法の厚みでレジンが被覆されていることを特徴とする半導体パッケージ。

【請求項2】 半導体ウエハーにバンプを形成し、半導体ウエハーのバンプ形成面にバンプの高さの $1/5 \sim 1/2$ の寸法の厚みでレジンを設けると共にレジンを硬化させた後、半導体ウエハーをダイシングしてチップに分割することを特徴とする半導体パッケージの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、バンプを設けた半導体パッケージ及びその製造方法に関するものである。

【0002】

【従来の技術】 半導体パッケージにバンプを設ける方法としては、従来から特開平5-182972号公報等で各種の技術が提供されている。図2は従来のその一例を示すものであり、先ず、半導体ウエハーをダイシングして得られた同図(a)のようなチップ2の表面の電極(図示省略)に、同図(b)に示すようにインナーバンプ1aを形成し、次に同図(c)のようにチップ2のインナーバンプ1aを形成した面を含めてチップ2の表面にレジン3をモールドして設ける。このとき、インナーバンプ1aが表面に露出するようにレジン3をモールドするようにしてある。そしてこの後に、同図(d)のようにインナーバンプ1aの露出面にアウターバンプ1bを形成することによって、インナーバンプ1aとアウターバンプ1bからなり、アウターバンプ1bがレジン3から突出したバンプ1を設けることができるものである。

【0003】

【発明が解決しようとする課題】 上記のようにして、チップ2の表面を被覆するレジン3から突出するようにバンプ1を形成した半導体パッケージAを作製することができるのであるが、前記図2の方法ではバンプ1を形成する工程としてインナーバンプ1aを形成する工程とアウターバンプ1bを形成する工程の2工程が必要であり、工程数が多くなって生産性に問題を有するものであった。

【0004】 本発明は上記の点に鑑みてなされたものであり、バンプ形成が1工程で済み、生産性高く製造することができる半導体パッケージ及びその製造方法を提供することを目的とするものである。

【0005】

【課題を解決するための手段】 本発明に係る半導体パッケージは、表面にバンプ1が形成されたチップ2のバンプ形成面に、バンプ1の高さの $1/5 \sim 1/2$ の寸法の厚みでレジン3が被覆されていることを特徴とするものであり、バンプ1の高さの $1/5 \sim 1/2$ の寸法の厚み

でレジン3を設けることによって、バンプ1がレジン3で埋もれることなく、バンプ1を2つの工程で作製するような必要がなくなる。

【0006】 また本発明に係る半導体パッケージの製造方法は、半導体ウエハー4にバンプ1を形成し、半導体ウエハー1のバンプ形成面にバンプ1の高さの $1/5 \sim 1/2$ の寸法の厚みでレジン3を設けると共にレジンを硬化させた後、半導体ウエハー1をダイシングしてチップ2に分割することを特徴とするものであり、バンプ1の高さの $1/5 \sim 1/2$ の寸法の厚みでレジン3を設けることによって、バンプ1がレジン3で埋もれることなく、バンプ1を2つの工程で作製するような必要がなくなる。

【0007】

【発明の実施の形態】 以下、本発明の実施の形態を説明する。図1において4は半導体ウエハーを示すものであり、この半導体ウエハー4に多数形成されたチップ(半導体回路)2は切断エリア6で区画されている。そして半導体ウエハー4上の各チップ2のエリア内においてアルミニウム等の電極(図示省略)が形成してあり、この電極に接続した状態で図1(a)に示すように半導体ウエハー4の表面にバンプ1が設けてある。バンプ1は共晶ハンダ等を生成させて形成することができる。

【0008】 このように半導体ウエハー4の表面にバンプ1を形成した後、半導体ウエハー4のバンプ1を形成した面を図1(b)のようにレジン3によって均一な厚みで被覆する。レジン3による被覆は、半導体ウエハー4を金型内にセットしてレジン3をモールド成形することによって行なったり、半導体ウエハー4の表面にレジン3を塗布して行なったりすることができる。レジン3としてはポリイミド等を用いることができるものである。そして本発明ではレジン3はバンプ1の高さ寸法よりも小さい寸法の厚み、すなわちバンプ1の高さの $1/5 \sim 1/2$ の寸法の厚みで設けるようにしてあり、バンプ1の半分以上がレジン3の表面から突出するようしてある。レジン3の厚みがバンプ1の高さの $1/5$ 未満であると、レジン3の層厚が薄くなり過ぎて、レジン3によるウエハー4の保護効果等が不十分になる。逆にレジン3の厚みがバンプ1の高さの $1/2$ を超えると、バンプ1がレジン3の表面から突出する寸法が小さくなり過ぎて、バンプ1によるボンディングの信頼性が不十分になる。このために本発明ではレジン3はバンプ1の高さの $1/5 \sim 1/2$ の寸法の厚みで設けるようにしてある。

【0009】 上記のようにして半導体ウエハー4のバンプ1の形成面をレジン3で被覆して硬化させた後、半導体ウエハー4を切断エリア6でダイシングしてチップ2に分割し、図1(c)のようなチップサイズの超小型の半導体パッケージAを得ることができるものである。このようにして作製される半導体パッケージAにあって、

レジン3はバンプ1の高さの1/5~1/2の寸法の厚みで設けているために、バンプ1がレジン3で埋もれることなくなり、従来のようにバンプ1をインナーバンプ1aとアウターバンプ1bとで形成してアウターバンプ1bをレジン3から突出させるような必要がなくなり、バンプ1の形成を1工程で行なうことができるものである。またこの半導体パッケージAにあっては、半導体ウエハー4の各チップ2に形成した各電極にバンプ1を設けることができ、電極密度と同等の高密度実装が可能になるものである。

【0010】

【発明の効果】上記のように本発明に係る半導体パッケージは、表面にバンプが形成されたチップのバンプ形成面に、バンプの高さの1/5~1/2の寸法の厚みでレジンが被覆されていることを特徴とするものであり、バンプがレジンで埋もれることなく、バンプを2つの工程で作製するような必要がなくなりて1工程で作製することができるものであり、生産性を高めることができるものである。

【0011】また本発明に係る半導体パッケージの製造方法は、半導体ウエハーにバンプを形成し、半導体ウエハーのバンプ形成面にバンプの高さの1/5~1/2の*

*寸法の厚みでレジンを設けると共にレジンを硬化させた後、半導体ウエハーをダイシングしてチップに分割するようにしたので、バンプがレジンで埋もれることなく、バンプを2つの工程で作製するような必要がなくなりて1工程で作製することが可能になるものであって、生産性を高めることができるものであり、しかもレジンを設けた後に半導体ウエハーをダイシングすることによってチップサイズの超小型の半導体パッケージを得ることができるものである。

【図面の簡単な説明】

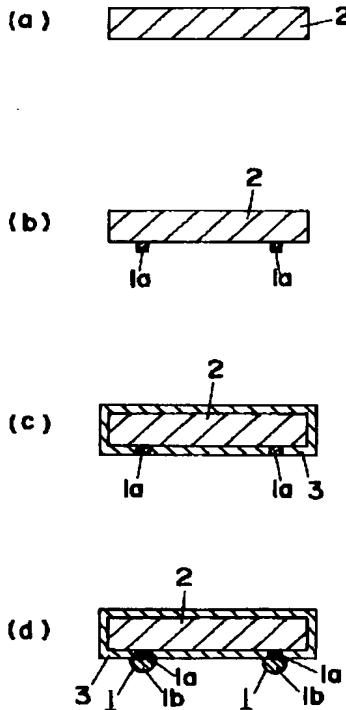
【図1】本発明の実施の態様の一例を示すものであり、(a)はバンプを設けた半導体ウエハーの平面図、(b)はバンプとレジンを設けた半導体ウエハーの断面図、(c)は半導体パッケージの拡大した断面図である。

【図2】従来例を示すものであり、(a), (b), (c), (d)はそれぞれ断面図である。

【符号の説明】

- 1 バンプ
- 2 チップ
- 3 レジン
- 4 半導体ウエハー

【図2】



【図1】

